

**L10. CIRCUITUL BASCULANT MONOSTABIL INTEGRAT CDB-4121**

**10.1. Noțiuni teoretice**

**10.1.a. Introducere**

Schema electrică a C.B.M. integrat CDB-4121 este prezentată în Fig. 10.1.1 .

C.B.M. respectiv poate fi declanșat fie de o tranziție JOS-SUS (L->H) pe intrarea B, fie de o tranziție SUS-JOS (H->L) pe intrările A<sub>1</sub> sau A<sub>2</sub>. Posibilitățile de comandă a C.B.M. integrat CDB-4121 sunt sintetizate în tabela 10.1.2.

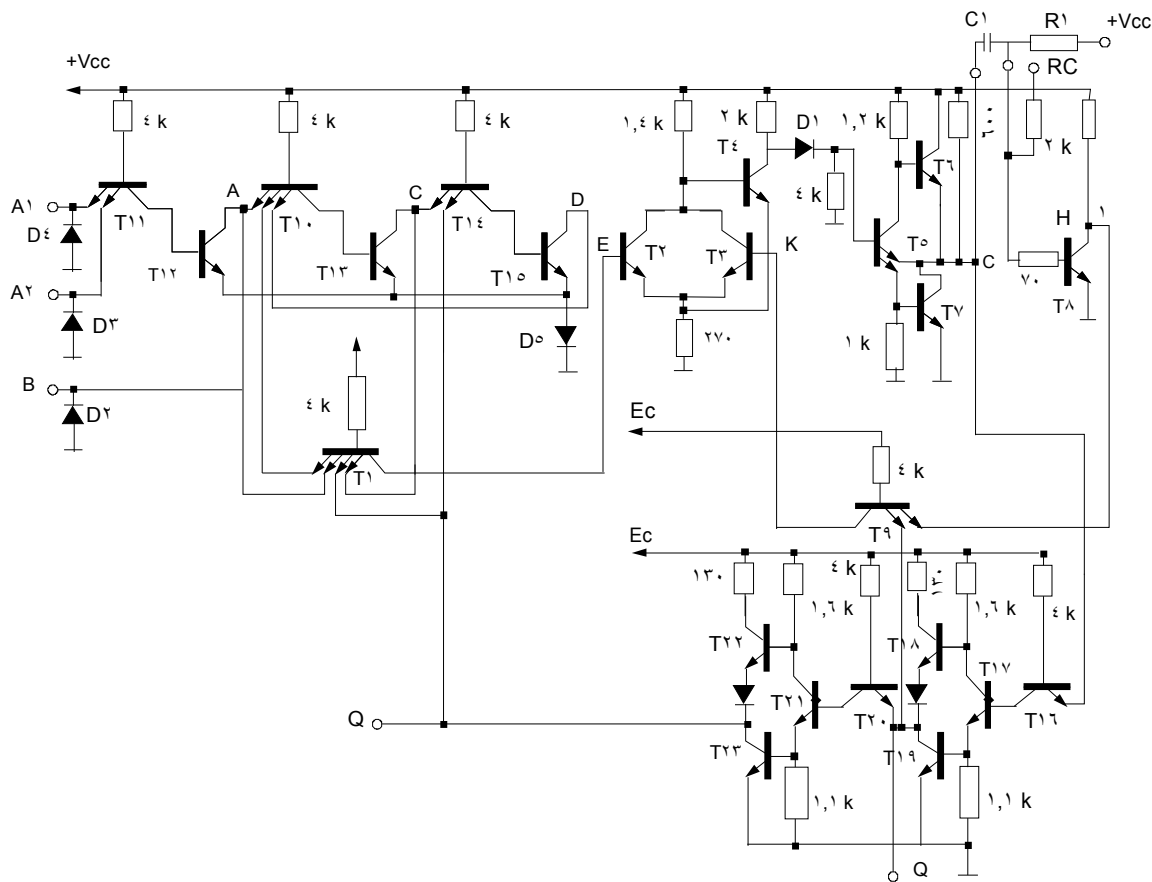


Fig. 10.1.1. Schema electrică a circuitului CBM integrat CDB - 4121

Din tabelă se observă la comanda pe intrarea (L->H) cel puțin o intrare A<sub>1</sub> sau A<sub>2</sub> trebuie să rămână în starea jos (L).

Se va considera pentru început posibilitatea comenzii C.B.M. integrat pe intrarea B. Pentru aceasta în starea stabilă este necesar ca A<sub>1</sub> sau A<sub>2</sub> sau ambele intrări A<sub>1</sub> și A<sub>2</sub> să fie pe "0" logic (L), iar până la aplicarea frontului anterior al impulsului pe intrarea B și această intrare să fie pe "0" logic (L).

În felul acesta tranzistoarele  $T_1$ ,  $T_{10}$  și  $T_{11}$  sunt saturate determinând astfel blocarea tranzistoarelor  $T_2$ ,  $T_{13}$  și respectiv  $T_{12}$ .

Pe de altă parte tranzistorul  $T_8$  se saturează deoarece baza acestuia este conectată la  $+V_{cc}$  prin  $R_1+70\Omega$ . Saturarea tranzistorului  $T_8$  determină saturarea lui  $T_9$  și deci blocarea tranzistorului  $T_3$ . Deoarece atât  $T_2$  cât și  $T_3$  sunt blocate, tranzistorul  $T_4$  se saturează, determinând blocarea tranzistorului  $T_5$ . În felul acesta tranzistorul  $T_6$  se saturează, iar tranzistorul  $T_7$  se blochează. Emitorul tranzistorului  $T_{16}$  se conectează prin joncțiunea colector-emitor a lui  $T_6$  saturat direct la  $+V_{cc}$ , determinând intrarea tranzistorului  $T_{16}$  în regim activ invers. Aceasta conduce la saturarea tranzistoarelor  $T_{17}$  și  $T_{19}$  și deci  $Q=0$ . Prin conectarea la masă a emitorului tranzistorului  $T_2$  acesta se saturează, determinând blocarea tranzistorului  $T_{21}$ ,  $T_{23}$ , adică  $Q=1$ .

$A_1$	$A_2$	$B$
<b>L</b>	<b>X</b>	<b>L → H</b>
<b>X</b>	<b>L</b>	<b>L → H</b>
<b>H → L</b>	<b>H</b>	<b>H</b>
<b>H</b>	<b>H → L</b>	<b>H</b>

*Tabelul 10.1.2. Posibilitățile de comandă a C.B.M. integrat CDB-4121*

În felul acesta ambele intrări ale tranzistorului  $T_{14}$  sunt pe “1” logic (colectorul lui  $T_{13}$  blocat și  $Q=1$ ), determinând pentru acest tranzistor regim activ invers și deci  $T_{15}$  se saturează.

Pentru situația considerată condensatorul  $C_1$  se încarcă rapid pe circuitul:  $+V_{cc}$ ,  $T_6$  saturat, rezistența de  $70\Omega$ , joncțiunea bază-emitor a lui  $T_8$  saturat masă. În momentul în care potențialul emitorului lui  $T_6$  depășește nivelul  $V_{CC} - V_{BE(T_6) sat}$  acesta se blochează, încărcarea condensatorului  $C_1$  continuând prin rezistorul de  $600\Omega$  până ce tensiunea la bornele acestuia atinge valoarea  $V_{CC} - V_{BE(T_8) sat} \approx V_{CC}$ , cu polaritatea indicată în figură, adică:

$$U_C(0) \approx V_{CC} \quad (10.1.1)$$

Aceasta este starea stabilă a C.B.M., stare care se menține un timp nelimitat, dacă nu se aplică nici o tranziție JOS-SUS pe intrarea B.

Dacă din această stare se aplică tranziția JOS-SUS ( $L \rightarrow H$ ) pe intrarea B (B este pus pe “1” logic), toate intrările tranzistorului  $T_1$  sunt pe “1” logic (colectorul lui  $T_{12}$  blocat,  $B=1$ ,  $Q=1$  și colectorul lui  $T_{13}$  blocat), determinând regim activ invers pentru acesta și deci saturarea lui  $T_2$ .

Când intrarea B trece pe “1” logic tranzistorul  $T_{10}$  rămâne în continuare saturat deoarece pe o intrare a acestuia se aplică “0” logic de la colectorul lui  $T_{15}$  saturat. În felul acesta  $T_{13}$  rămâne blocat la trecerea intrării B în starea “1” logic, până când  $T_3$  se saturează și  $Q$  devine “0” logic.

Saturarea lui  $T_2$  blochează pe  $T_4$  și deci  $T_5$  se saturează. Saturarea lui  $T_5$  menține  $T_6$  blocat, determinând totodată saturarea lui  $T_7$  - Emitorul lui  $T_{16}$  fiind conectat la masă prin joncțiunea colector-emitor lui  $T_7$  saturat, determină saturarea acestuia și deci blocarea tranzistoarelor  $T_{17}$  și  $T_{19}$ , adică  $Q=1$ . În felul acesta  $T_{20}$  intră în regim invers determinând saturarea tranzistoarelor  $T_{21}$ ,  $T_{23}$ , adică  $Q=0$ .

Aceasta corespunde stării instabile a C.B.M.

Deoarece  $Q=0$  pe întreaga durată a stării instabile, tranzistorul  $T_1$  este menținut saturat pe tot acest interval de timp, invalidând orice comandă ulterioară pe intrarea B, menținând blocat tranzistorul  $T_2$ .

Odată cu saturarea lui  $T_7$ , tensiunea de la bornele condensatorului  $C_1$  polarizează invers joncțiunea bază-emitor a lui  $T_8$  blocându-l, determinând astfel regim activ invers pentru  $T_9$  ( $Q=1$ , colectorul lui  $T_8$  blocat) și deci saturarea lui  $T_3$ .

Deoarece  $T_2$  este blocat datorită saturării lui  $T_1$  de  $Q=0$ , durata stării instabile este determinată de timpul cât tranzistorul  $T_3$  este menținut saturat, adică de timpul cât  $T_9$  este în regim activ invers datorită blocării tranzistorului  $T_2$ .

În starea instabilă condensatorul  $C_1$  se descarcă pe circuitul:  $+V_{CC}$ ,  $R_1$ , joncțiunea colector-emitor a lui  $T_7$  saturat, masă. Dacă această stare ar dura un timp nelimitat, condensatorul  $C_1$  s-ar descărca până la 0 volți și apoi s-ar încărca cu polaritate inversă față de cea indicată în figură până la aproximativ  $V_{CC}$ , adică:

$$U_C(\infty) \approx -V_{CC} \quad (10.1.2.)$$

Semnul minus din relația (10.1.2.) specifică faptul că polaritatea tensiunii la bornele condensatorului  $C_1$  este inversă față de polaritatea indicată în figură.

Durata stării instabile este astfel condiționată de intervalul de timp cât tranzistorul  $T_8$  este menținut blocat de tensiunea de la bornele condensatorului  $C_1$ .

Legea de variație a tensiunii la bornele acestui condensator se poate scrie ușor, ținând cont de relațiile (10.1.1.) și (10.1.2.):

$$U_C(t) = U_C(\infty) + [U_C(0) - U_C(\infty)] \cdot e^{-\frac{t}{C_1 \cdot R_1}} = -V_{CC} + 2V_{CC} \cdot e^{-\frac{t}{C_1 \cdot R_1}} \quad (10.1.3.)$$

Dacă se consideră că tranzistorul  $T_8$  este menținut blocat până la descărcarea condensatorului  $C_1$  la zero volți, rezultă din relația (10.1.4.) că:

$$U_C(T_i) \approx 0 = -V_{CC} + 2V_{CC} \cdot e^{-\frac{T_i}{C_1 \cdot R_1}},$$

de unde

$$T_i \approx C_1 R_1 \ln 2 \approx 0,7 C_1 R_1 \quad (10.1.4.)$$

Odată cu saturarea lui  $T_8$ , tranzistorul  $T_9$  se saturează, determinând blocarea lui  $T_3$ . Deoarece atât  $T_2$  cât și  $T_3$  sunt blocate, tranzistorul  $T_4$  se saturează, determinând blocarea tranzistoarelor  $T_5$  și  $T_7$  și saturarea tranzistorului  $T_6$ . Se revine astfel la starea stabilă, deoarece emitorul lui  $T_{16}$  este conectat prin  $T_6$  saturat la  $+V_{CC}$  determinând regim activ invers pentru acest tranzistor și deci  $T_{17}$  și  $T_{19}$  se saturează determinând  $Q=0$  și  $Q=1$ . Condensatorul  $C_1$  se reîncarcă pe circuitul descris anterior. Dacă condensatorul  $C_1$  nu reușește să se încarce la valoare de aproximativ  $V_{CC}$  și un nou impuls de comandă se aplică pe intrarea B, durata stării instabile devine mai mică decât cea calculată cu relația (10.1.4.), deoarece în calculul acestei durate s-au neglijat tensiunile pe joncțiunile tranzistoarelor saturate, comparativ cu  $V_{CC}$ , neglijări, care nu mai corespund cazului când condensatorul  $C_1$  nu reușește să încarce până la  $+V_{CC}$ .

Comanda pe intrarea B se utilizează în cazul unor tranziții JOS-SUS lente (până la ordinul 1V/s), sau detecției de nivel.

Comanda C.B.M. C.D.B.- 4121 se poate realiza și prin tranziții SUS-JOS pe intrările  $A_1$  sau  $A_2$ .

Așa spre exemplu, dacă se presupune  $B=A_2=A_1=1$  logic în starea stabilă, tranzistorul  $T_{11}$  intră în regim activ invers, determinând saturarea lui  $T_{12}$ . Prin saturarea lui  $T_{12}$  tranzistoarele  $T_{10}$  și  $T_1$  se saturează determinând blocarea tranzistoarelor  $T_{13}$ , respectiv  $T_2$ . Ca și în cazul comenzii pe

intrarea B, în starea stabilă  $T_8$  este saturat, determinând saturarea lui  $T_9$  și deci blocarea lui  $T_3$ . Deoarece atât  $T_2$ , cât și  $t_3$  sunt blocate, tranzistorul  $T_4$  este saturat, determinând astfel blocarea tranzistoarelor  $T_5$  și  $T_7$  și saturarea tranzistorului  $T_6$ .

Emitorul lui  $T_{16}$  este conectat la  $+V_{CC}$  determinând regim activ invers pentru acesta și deci  $Q=0$  și  $\bar{Q}=1$ . Condensatorul  $C_1$  se va încărca cu polaritatea din figură până la aproximativ  $V_{CC}$  pe circuitul:  $+V_{CC}$   $T_6$  saturat și apoi prin rezistența de  $600\Omega$ , rezistența de  $70\Omega$ , joncțiunea bază-emitor a lui  $T_8$  saturat, masă.

Aceasta este starea stabilă care se poate menține un timp nelimitat dacă nu se aplică nici o tranziție SUS-JOS pe una din intrările  $A_1$  și  $A_2$ .

Dacă din această stare se efectuează, de exemplu, tranziția SUS-JOS pe intrarea  $A_1$  (intrările  $A_2$  și B menținându-se în starea SUS), tranzistorul  $T_{11}$  se saturează, determinând blocarea tranzistorului  $T_{12}$ . În felul acesta toate intrările tranzistorului  $T_1$  sunt pe "1" logic (B=1, colectorul lui  $T_{12}$  blocat,  $\bar{Q}=1$  și colectorul lui  $T_{13}$  blocat), determinând regim activ invers pentru  $T_1$  și deci saturarea lui  $T_2$ ).

Trebuie remarcat faptul că după aplicarea comenzii,  $T_{10}$  se menține un timp saturat datorită menținerii în stare saturată a lui  $T_{15}$ .

Intr-adevăr, în starea stabilă tranzistorul  $T_{14}$  este în regim activ invers (pe intrări se aplică potențialul colectorului  $T_{13}$  blocat și  $\bar{Q}=1$ ), determinând saturarea lui  $T_{15}$ . La aplicarea comenzii pe  $A_1$  tranzistorul  $T_{10}$  se aplică "0" logic de la colectorul lui  $T_{15}$  saturat. Deci tranzistorul  $T_{13}$  se menține blocat și după tranziția SUS-JOS pe intrarea  $A_1$  până când  $T_3$  se saturează și  $\bar{Q}$  devine "0" logic.

Prin saturarea tranzistorului  $T_2$  se asigură blocarea tranzistorului  $T_4$  și deci saturarea tranzistoarelor  $T_5$  și  $T_7$ . De aici înainte procesele au loc exact ca la comanda pe intrarea B, toate concluziile rămânând valabile și pentru această comandă.

Durata impulsului generat poate fi variată între 40 ns și 40s, alegând valori potrivite ale componentelor exterioare  $C_1$  și  $R_1$ . Fără componente externe durata impulsului generat este tipic 30ns.

Circuitul basculant monostabil integrat CDE-4121 este compensat astfel că stabilitatea duratei impulsului generat este limitată numai de precizia componentelor exterioare, fiind independentă de temperatură și variațiile tensiunii de alimentare în limitele prescrise în catalog.

Capacitatea externă,  $C_1$ , se conectează între terminalele 10 (borna plus) și 11. Pentru a folosi rezistența internă  $R_{t\text{ int.}}$ , (de  $2\text{ K}\Omega$ ), fără a conecta o rezistență din exterior se unesc terminalele 9 cu 14.

În acest caz durata impulsului generat este

$$T_i = 2000 C_1 \ln 2 \approx 1400 C_1 \text{ [s]} \quad (C_1 \text{ în F})$$

Durata impulsului generat nu este în acest caz precisă deoarece rezistența internă are o dispersie destul de mare.

Când se conectează o rezistență exterioară între terminalele 9 și 14, durata stării cvasistabile este dată de relația:

$$T_i = (R_1 + 2000) C_1 \ln 2 \text{ [s]} \quad (R_1 \text{ în } \Omega \text{ și } C_1 \text{ în F}).$$

Nici în acest caz durata stării instabile nu este riguros aceeași, de la un exemplar la altul, datorită dispersiei tehnologice a rezistenței interioare.

Pentru obținerea unei durate precis repetabilă a impulsului la ieșire, se conectează o rezistență externă  $R_1$  între terminalele 11 și 14, cu terminalul 9 lăsat în gol, caz în care durata stării instabile se calculează cu relația (10.1.4).

Se recomandă ca valoarea capacității exterioare  $C_1$ , să nu depășească  $100\mu\text{F}$ , iar rezistența exterioară  $R_1$ , să fie maxim de  $40\text{ K}\Omega$ .

### 10.2 Desfășurarea lucrării

1. Se identifică componentele existente în montajul de laborator.
2. Se realizează toate configurațiile din tabelul de funcționare a circuitului integrat.

### 10.3 Intrebări

1. Ce posibilități de comandă a CBM integrat CDB 4121 cunoașteți?
2. Când se utilizează comanda pe intrarea B?
3. Ce valori se recomandă pentru componentele exterioare  $R_1$  și  $C_1$ ?

### 10.4 Conținutul referatului

- schemele de măsură utilizate și valorile componentelor pasive existente
- oscilogramele pentru semnalele de ieșire
- valorile determinate teoretic ( $T_i$ ) și justificarea deosebirilor care apar față de determinările practice
- răspunsul la întrebări.